

Avaliação de um problema fortemente acoplado nas arquiteturas Intel Core i7 e Intel Xeon com e sem Hyper-Threading e Intel Xeon Phi

Rafael Lourenço Stanislau¹, Carla Osthoff¹, Mariano Pereira da Silva¹

¹Laboratório Nacional de Computação Científica (LNCC)
{rafaels, osthoff, marianos}@lncc.br

1. Introdução

O Jogo da Vida (Gardner, 1970) [1] é um automato celular desenvolvido pelo matemático britânico John Conway, com o objetivo de observar as alterações em grupos de seres vivos. É representado por um campo bidimensional que é executado em uma determinada quantidade de iterações. É um problema considerado complexo por suas condições de fronteira e em termos de paralelismo, é fortemente acoplado. Este trabalho estudou o desempenho de uma versão paralela do Jogo da Vida em arquiteturas Intel: i7, Xeon e Xeon Phi, com e sem a tecnologia HT habilitada variando o número de threads.

2. Metodologia

Para este trabalho o Jogo da Vida, implementado em Fortran, com uma configuração de 2000x2000 células rodando 5000 iterações foi paralelizado com OpenMP e utilizou-se o compilador Intel Fortran. Conforme aumentava-se o número de threads, diminuía-se a quantidade de dados que cada thread processará. Foram utilizadas duas arquiteturas de CPU: um Intel i7 Nehalem de 6 núcleos com 12 GB de RAM e um Intel Xeon Westmere com 2 sockets de 6 núcleos e 24 GB de RAM. Tanto o i7 quanto o Xeon possuíam caches L1/L2/L3 de 32K/256K/12MB, respectivamente. Também utilizou-se um coprocessador Intel Xeon Phi de 61 núcleos, e caches L1/L2 de 32KB/512KB, respectivamente.

3. Resultados e Discussão

Para testes feitos nas máquinas com i7 e com Xeon, ambos sem HT, o menor tempo de execução foi de 27s e 28s, respectivamente, obtido com número de threads igual ao número de núcleos. O melhor tempo da Phi foi 173s quando estava com 235 threads. O HT teve um bom desempenho quando o número de threads foi igual ao número de núcleos até a quantidade máxima de threads que o HT permite. O HT é eficiente quando as threads estão acessando os mesmos dados, o que não ocorre no Jogo da Vida onde cada thread acessa dados distintos. Também foram avaliadas as métricas de Speed Up e Eficiência. As tabelas abaixo mostram os melhores resultados (ver Tabelas 1, 2 e 3).

Tabela 1. Speed Up e Eficiência da arquitetura Intel Core i7

Nº de Threads	Intel Core i7			
	Sem HT		Com HT	
	Speed up	Eficiência	Speed up	Eficiência
6	3,87	0,64	3,89	0,64
12	3,22	0,26	3,86	0,32

Tabela 2. Speed Up e Eficiência da arquitetura Intel Xeon

Nº de Threads	Intel Xeon			
	Sem HT		Com HT	
	Speed up	Eficiência	Speed up	Eficiência
12	4,46	0,37	4,29	0,35
24	3,00	0,12	4,22	0,17

Tabela 3. Speed Up e Eficiência da arquitetura Intel Xeon Phi

Nº de Threads	Intel Xeon Phi	
	Speed up	Eficiência
235	2,68	0,01

Utilizou-se o Intel Vtune [2] para observar o comportamento deste problema em relação ao hardware. Efetuou-se a análise General Exploration, nas arquiteturas de CPU e viu-se que haviam altas taxas de LLC Miss. Observou-se que nas máquinas com i7 e Xeon existe a mesma arquitetura de memória. Dessa forma, a arquitetura i7, que possui 6 cores possuirá maior quantidade de memória cache por core em relação a arquitetura Xeon, que possui 12 núcleos, conseqüentemente, cada core da máquina i7 conterá mais dados na sua cache do que os núcleos da máquina Xeon e sofrerá menos operações de cache miss nas execuções das operações de comunicações entre os processos. Isto explica o fato da arquitetura i7 apresentar maior eficiência em relação a arquitetura Xeon. Percebe-se que as potências dos processadores analisados são similares, mas outros recursos podem interferir no desempenho como, por exemplo, a memória cache.

Ao compararmos o desempenho da arquitetura Xeon em relação ao desempenho do Xeon Phi, que possui uma quantidade de cores ainda maior e conseqüentemente uma quantidade de memória cache por core, ainda menor, obtivemos uma eficiência ainda menor. Porém a arquitetura Xeon Phi possui um canal de comunicação para manter a coerência entre os dados das caches L2 que permite uma busca rápida e eficiente de dados compartilhados. Além disso, a arquitetura de cache permite executar “cache blocking”, durante cada passo de execução, de forma que um mesmo core pode processar o dado residente na cache L2 atualizado no passo anterior. Desta forma, observou-se que é possível aumentar o desempenho do Xeon Phi e isto ficará para trabalho futuro.

4. Referências Bibliográficas

- [1] GARDNER, Martin "Mathematical Games – The fantastic combinations of John Conway's new solitaire game "life"". Scientific American 223. p. 120–123, October 1970.
- [2] Intel Vtune Performance Analyzer. <https://software.intel.com/pt-br/software/products/20842>
- [3] Intel Xeon Phi Coprocessor Architecture. <https://software.intel.com/en-us/articles/intel-xeon-phi-coprocessor-codename-knights-corner>
- [4] High Performance Parallelism Perals- Multicore and Many-core programming Approaches- James Reinders and Jim Jeffers – Morgan Kauffman